

INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

Základní teoretická příprava:

- blokové schéma MCU a rozdělení paměti (RAM);
- typy interních periférií;
- instrukční soubor (CISC);
- programování a ASM (jazyk symbolických adres).



Téma č.4

Architektura MCU (Intel x51)

Periférie MCU – systém přerušení

89C2051 je vybaven systémem přerušení organizovaném jako vektory s individuálními adresami v programu jako vstupními body obsluhy. Umožňuje asynchronní programovou obsluhu různých typů vnějších událostí (požadavky z periférií) s možností jejich maskování a nebo nastavení priority. Jsou to:

Interrupt	Flag	Adresa vektoru přerušení
Reset	-	0000h
INT0	IE0	0003h
Timer 0	TF0	000Bh
INT1	IE1	0013h
Timer 1	TF1	001Bh
Serial	RI/TI	0023h

Příznak (**flag**) indikuje MCU (nebo uživateli), že příslušná událost nastala a nemusí být následně resetován v obslužném programu přerušení. **Výjimkou je přerušení od „serial“, které je potřeba uživatelským programem ošetřit!**

Přerušení a jejich obsluhu je možné nastavit prostřednictvím SFR registru **IE** (adr A8h). Po startu MCU (zapnutí napájení nebo RESET) jsou všechna přerušení zakázána. Aktivaci je potřeba následně provést nastavením příslušných řídicích bitů v registru **IE** dle tabulky:

Bit	Jméno	Popis funkce
7	EA	Global Interrupt Enable/Disable
6	-	nedefinováno
5	-	nedefinováno
4	ES	Enable Serial Int
3	ET1	Enable Timer 1 Int

INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

Bit	Jméno	Popis funkce
2	EX1	Enable INT1
1	ET0	Enable Timer 0 Int
0	EX0	Enable INT0

MCU pravidelně testuje všechny stavové bity (flag) v IE registru, a to v následujícím pořadí:

1. INT0 Interrupt
2. Timer0 Interrupt
3. INT1 Interrupt
4. Timer1 Interrupt
5. Serial Interrupt

Výše uvedené pořadí určuje postupnost vykonávání obsluhy aktivního přerušení, což znamená, že v případě současného vzniku požadavku z Timer0 a Timer1 bude nejprve vykonána obsluha Timer0 a po jeho skončení až obsluha Timer1.

Je však možné každému přerušení nastavit prioritu tak, že **může přerušit již vykonávané přerušení a po jeho obsluze může být řízení vráceno zpět na dokončení přerušeného procesu obsluhy**. Toto je možné nastavit v SFR registru IP (adresa B8h):

Bit	Jméno	Popis funkce
7	-	Nedefinováno
6	-	Nedefinováno
5	-	Nedefinováno
4	PS	Serial Interrupt Priorita
3	PT1	Timer 1 Interrupt Priorita
2	PX1	INT1 Priorita
1	PT0	Timer 0 Interrupt Priorita
0	PX0	INT0 Priorita

V případě využití nastavení priority k přerušení platí následující pravidla:

- Nic nemůže přerušit prioritní přerušení, pouze jiné prioritní,
- Prioritní přerušení může přerušit přerušení neprioritní,
- Neprioritní přerušení může nastat, až jsou obsloužena všechna prioritní,
- Pokud se vyskytnou ve stejnou dobu dvě přerušení, vykoná se první přerušení prioritní; pokud mají stejnou prioritu, pak se vykonají v původním pořadí.

INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

Průběh obsluhy přerušení:

- Uloží se aktuální stav PC (ukazuje na následující instrukci) do zásobníku,
- Přerušení stejné a nižší priority jsou blokována,
- V případech přerušení INTx nebo Timerx je příslušný příznak (**flag**) resetován,
- V případě přerušení Serial je nutné pamatovat na programové resetování příslušných příznaků (**RI/TI**),
- Program vykonává příslušný vektor přerušení (viz předchozí tabulka).

Průběh ukončení obsluhy přerušení (instrukce **RETI**):

- Ze zásobníku se načte do **PC** adresa,
- Stav přerušení je vrácen do stavu před jeho zablokováním.

Z předchozího proto vyplývá, že je potřeba **pamatovat na úschovu těch registrů, které se používají v ISR, a to nejméně ACC a PSW!** K tomu slouží instrukce **PUSH (POP)** s určením adresy registru.